

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027889
 (43)Date of publication of application : 27.01.1998

(51)Int. Cl. H01L 27/108
 H01L 21/8242
 H01L 21/768

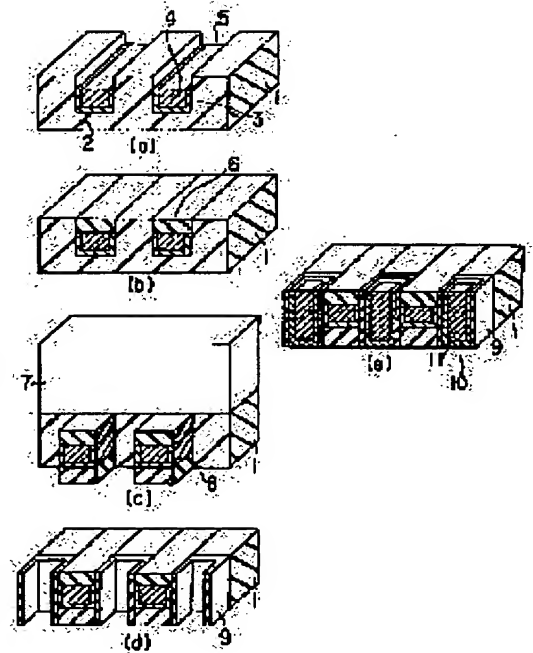
(21)Application number : 08-183336 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 12.07.1996 (72)Inventor : KOYAMA HIROSUKE

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a contact hole in a self-aligned manner to a bit line.

SOLUTION: Grooves 2 are cut in a silicon oxide film 1, a barrier metal 3 and a tungsten film 4 are deposited, the surface of the silicon oxide film 1 is flattened by grinding, and a wiring layer formed of the tungsten film 4 is provided. The tungsten film 4 and the barrier metal 3 are etched for the formation of U-shaped grooves 5, a silicon nitride film 6 is deposited to fill in the U-shaped grooves 5 respectively, the silicon nitride films 6 are flattened by grinding. The silicon oxide film 1 is etched using a prescribed pattern as a mask, whereby a contact hole 8 is formed in a self-aligned manner. A silicon nitride film 6 is deposited and etched back for forming a side wall 9 on the inner wall of the contact hole 8, and then a barrier metal 10 and a tungsten film 11 are successively deposited to fill in the contact hole 8 and then ground down to be flattened until the silicon oxide film 1 and the silicon nitride film 6 are exposed.



LEGAL STATUS

[Date of request for examination] 09.10.2001
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 3607424
 [Date of registration] 15.10.2004
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

일본공개특허공보 평 10-27889호(1998.1.27공개) : 인용발명1

[첨부그림 1]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公報番号

特開平10-27889

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁴	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 8 1 B
21/8242			21/80	C
21/768			27/10	6 2 1 Z

審査請求 未請求 請求項の数24 O L (全 12 頁)

(21) 出願番号 特願平8-185530

(22) 出願日 平成8年(1996) 7月12日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区瀬川町72番地

(72) 発明者 幸山 裕亮

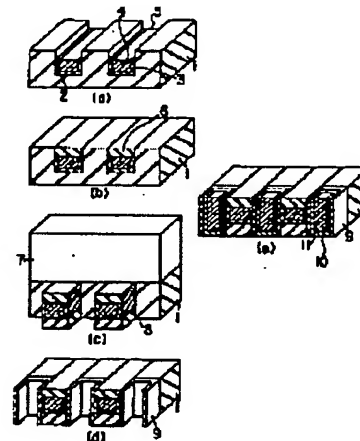
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁護士 鈴木 武彦 (外 6 名)

(54) 【発明の名称】 半導体装置及びその製造方法

【課題】 ビット線に対して自己整合的にコンタクトホールを形成する。

【解決手段】 酸化シリコン膜 1 に溝を形成し、バリアメタル 3、タングステン膜 4 を堆積し、表面を削って平坦化すると同時にタングステン膜 4 からなる配線層を形成する。タングステン膜 4 及びバリアメタル 3 をエッチングして段差を形成し、酸化シリコン膜 6 を堆積して段差を充填した後、酸化シリコン膜 6 を削り、表面を平坦化する。所定のマスクパターンを用いて酸化シリコン膜 1 をエッチングし、コンタクトホール 8 を自己整合的に形成する。酸化シリコン膜を堆積し、エッチバックしてコンタクトホール 8 の側壁にサイドウォール 9 を形成し、次にバリアメタル 1 0 及びタングステン膜 1 1 を順次堆積し、コンタクトホール 8 を充填した後、酸化シリコン膜 1 及び酸化シリコン膜 6 が露出するまでタングステン膜 1 1 及びバリアメタル 1 0 を削り、表面を平坦化する。



[첨부그림 2]

【특許請求의範圍】

【請求項 1】 半導体基板에第1絶縁膜을形成하는工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填する工程と、

上記導電膜의表面을所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部를第2絶縁膜で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペースを形成する工程をさらに具備したことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 半導体基板에第1絶縁膜을形成하는工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填する工程と、

上記導電膜의表面을所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部를第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択적エッチング法によって上記第1絶縁膜을エッチングし、上記溝に隣接するコンタクトホールを形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 4】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなる第1のスペースを形成する工程をさらに具備したことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記コンタクトホール의側壁에第4絶縁膜からなる第2의スペースを形成する工程をさらに具備したことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 6】 半導体基板에第1絶縁膜을形成하는工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝의內壁에第1導電膜を形成する工程と、

上記溝内を第2導電膜で充填する工程と、

上記第2導電膜의表面을所定の厚みだけエッチングすると同時に上記第1導電膜을上記第2導電膜의エッチング量よりも多くエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部를第2絶縁膜で充填する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 7】 前記第1絶縁膜に溝を形成した後に、この溝の側壁に第3絶縁膜からなるスペースを形成する工程をさらに具備したことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】 半導体基板에第1絶縁膜을形成하는工程と、

上記第1絶縁膜に溝を形成する工程と、

上記溝内を導電膜で充填してビット線を形成する工程と、

上記導電膜의表面을所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部를第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択적エッチング法によって上記第1絶縁膜을エッチングし、上記溝に隣接するストレージノードコンタクトホールを形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

【請求項 9】 前記第1絶縁膜に溝を形成した後にこの溝の側壁に第3絶縁膜からなるスペースを形成する工程をさらに具備したことを特徴とする請求項 8 に記載の半導体記憶装置の製造方法。

【請求項 10】 前記ストレージノードコンタクトホール의側壁에第4絶縁膜からなるスペースを形成する工程をさらに具備したことを特徴とする請求項 9 に記載の半導体記憶装置の製造方法。

【請求項 11】 半導体基板에垂直分離絶縁膜を形成する工程と、

上記半導体基板에ゲート絶縁膜을介してゲート電極を形成すると共に上記半導体基板에不純物을掺入してソース、ドレイン拡散層を形成して MOSFET を形成する工程と、

上記 MOSFET を遮覆するように第1絶縁膜を形成する工程と、

上記第1絶縁膜에ビット線コンタクトホールを形成する工程と、

上記第1絶縁膜に、後にビット線が形成される溝を形成する工程と、

上記溝及びビット線コンタクトホール内を導電膜で充填し、上記 MOSFET のソース、ドレイン拡散層のうち一方の拡散層と電氣的に接続されたビット線を形成する工程と、

上記導電膜의表面을所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、

上記段差部를第2絶縁膜で充填する工程と、

上記第2絶縁膜をマスクとして用いた選択적エッチング法によって上記第1絶縁膜을エッチングし、上記ビット線に隣接するストレージノードコンタクトホールを形成する工程と、

上記ストレージノードコンタクトホール의側壁에第3絶縁膜からなるスペースを形成する工程と、

上記ストレージノードコンタクトホールを導電膜で充填する工程と、

上記 MOSFET のソース、ドレイン拡散層のうち他方の拡散層と電氣的に接続したストレージ電極、キャパシタ絶縁膜及びプレート電極を順次形成してキャパシタを形成する工程とを具備したことを特徴とする半導体記憶装置の製造方法。

[첨부그림 3]

【請求項 12】 前記第1絶縁膜に溝を形成した後、この溝の側壁に第4絶縁膜からなるスペースを形成する工程をさらに具備したことを特徴とする請求項 11に記載の半導体記憶装置の製造方法。

【請求項 13】 半導体基板の上に形成された第1絶縁膜と、

上記第1絶縁膜に形成された溝と、
上記溝の内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ上記溝を途中まで埋め込むように形成された第2導電膜と、

上記第1、第2導電膜上に設けられ上記溝を完全に埋め込むように形成された第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項 14】 前記第2導電膜が高融点金属からなる請求項 13に記載の半導体装置。

【請求項 15】 前記第1導電膜がバリアメタルからなる請求項 13に記載の半導体装置。

【請求項 16】 前記溝の側壁には第3絶縁膜からなるスペースが形成されている請求項 13に記載の半導体装置。

【請求項 17】 半導体基板の上に形成された第1絶縁膜と、

上記第1絶縁膜に形成された溝と、
上記溝の上部を除いた内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ、上面が上記溝の側壁上に位置する上記第1導電膜の上面よりも高くなるように形成された第2導電膜と、
上記溝を完全に埋め込むように形成された第2絶縁膜とを具備したことを特徴とする半導体装置。

【請求項 18】 前記第2導電膜が高融点金属からなる請求項 17に記載の半導体装置。

【請求項 19】 前記第1導電膜がバリアメタルからなる請求項 17に記載の半導体装置。

【請求項 20】 前記第1絶縁膜が酸化シリコンからなりかつ前記第2絶縁膜が窒化シリコンからなる請求項 17に記載の半導体装置。

【請求項 21】 半導体基板上に形成された第1絶縁膜と、

上記第1絶縁膜に互いに離間して形成された第1及び第2の溝と、

上記第1絶縁膜の上記第1及び第2の溝で挟まれた領域に形成されたコンタクトホールと、

上記第1及び第2の溝の側壁に形成された第2絶縁膜からなる第1のスペースと、

上記第1及び第2の各溝の内周面にそれぞれの溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、
上記第1導電膜上に設けられ上記第1及び第2の溝を完全に埋め込むように形成された第2導電膜と、

上記コンタクトホールの側壁に形成された第3絶縁膜からなる第2のスペースと、

上記コンタクトホールの内周面にこのコンタクトホールを完全に埋め込まない程度の厚みに形成された第3導電膜と、

上記第3導電膜上に設けられ上記コンタクトホールを埋め込むように形成された第4導電膜とを具備したことを特徴とする半導体装置。

【請求項 22】 前記第1導電膜及び第3導電膜のそれぞれがバリアメタルである請求項 21に記載の半導体装置。

【請求項 23】 半導体基板上に形成された素子分離絶縁膜と、

上記半導体基板上にゲート絶縁膜を介して設けられたゲート電極及び上記半導体基板上に設けられたソース、ドレイン拡散層からなるMOSFETと、

上記MOSFETを横断するように形成された第1絶縁膜と、

上記第1絶縁膜に形成されたビット線コンタクトホール及びビット線形成用の溝と、

上記溝を途中まで充填するように設けられた第1導電膜からなり、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線と、
上記溝を完全に充填するように設けられた第2絶縁膜と、

上記ビット線に隣接するように上記第1絶縁膜に設けられたストレージノードコンタクトホールと、

上記ストレージノードコンタクトホールの側壁に設けられた第3絶縁膜からなるスペースと、

上記ストレージノードコンタクトホールを充填する第2導電膜と、

ストレージ電極、キャパシタ絶縁膜及びプレート電極からなり、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続されたキャパシタとを具備したことを特徴とする半導体記憶装置。

【請求項 24】 配線を形成する第1導電膜と、
上記配線に隣接し、上記配線の上層と下層とを接続するためのコンタクトホールと、

上記コンタクトホールを充填する第2導電膜と、

上記第1、第2導電膜相互間に形成され、上記第1、第2導電膜を電気的に分離するスペースとを具備し、

配線下部のスペースの膜厚よりも配線上部のスペースの膜厚が厚いことを特徴とする半導体記憶装置。

【0001】

【発明の属する技術分野】 この発明は、例えばダイナミックRAMのセル構造に係り、特にビット線の上方にメモリセルキャパシタをビット線に対して自己整合的に形成するSTC (Stacked Capacitor) 型の半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体記憶装置、特にDRAMの微細化において、リソグラフィ技術における解像度の目ざましい進歩によって、線幅及び間隔が増々小さされている。しかしながら、合わせ精度の改善は解像度の進歩に追いつけず、合わせズレ対策が重要度を増している。

【0003】合わせズレ対策の一つとして、コンタクトホールと配線のボーダレスを実現した技術に、例えば、[C.W. Kaanta et al., "Dual Damascene: A ULSI Wiring Technology", VLSI, pp.144-152, 1991] 記載の技術がある。また、この技術をDRAMのビット線コンタクトとビット線に適用したものに、[D. Kenney et al., "A Buried-Plate Trench Cell for 64-Mb DRAM", VLSI Tech. Symp., pp.14-15, 1992] 記載のメモリスルがある。

【0004】また、STC型キャパシタを用いたセルにおいては、メモリスルキャパシタをビット線に対して自己整合的に形成する技術として、例えば、[M. Fukumoto et al., "Stacked capacitor cell technology for 16M DRAM using double self-aligned contacts", ESSDE RC 30, pp.461-464, 1990] 記載のメモリスルが提案されている。

【0005】以下、図9を用いて、上記Dual Damascene技術を説明する。まず、下層配線101上に、平坦化された層間絶縁膜102を形成する。次に、層間絶縁膜102上に、コンタクトホールパターン103を有する第1のレジスト104と、上層配線パターン105を有する第2のレジスト106を形成する(図9(a))。次に、上記レジスト104、106をマスクに、層間絶縁膜102を選択的にエッチングし、コンタクトホール107を形成する(図9(b))。次に、露出している第1のレジスト104を一部除去し、上層配線パターン108を形成する(図9(c))。このとき、第2のレジスト106も第1のレジスト104の膜厚に応じて表面が除去される。次に、層間絶縁膜102を選択的にエッチングし、コンタクトホール109及び上層配線パターン110を形成する(図9(d))。次に、メタル111を増殖し、コンタクトホール109及び上層配線パターン110を完全に埋め込む(図9(e))。次に、CMP (Chemical Mechanical Polishing) 法を用いてメタル111をエッチバックし、上層配線112を形成すると共に表面を平坦化する(図9(f))。

【0006】

【発明が解決しようとする課題】ところで、このDual Damascene技術を、STC型キャパシタを用いたセルに適用した場合、メモリスルキャパシタをビット線に対して自己整合的に形成することができないという問題があった。

【0007】すなわち、メモリスルキャパシタを形成するためには、層間絶縁膜102に対し、半導体基板に形成されたソース、ドレイン拡散層の表面に通じる自己整合コ

ンタクトホールを形成する必要がある。しかし、上層配線112は表面が露出しているために、層間絶縁膜102をエッチングしてコンタクトホールを形成する際に上層配線112が露出されてしまうからである。そのためには、図10に示すように、予の上層配線112上にエッチングマスクとなる絶縁膜113を形成した後コンタクトホール114を形成しなければならない。しかし、この場合には自己整合コンタクトホールとはならず、合わせ余裕を見て、上層配線112から所定の距離だけ離してコンタクトホール114を形成しなければならないため、配線間隔が大きくなり、微細化は困難である。

【0008】この発明は上記のような事情を考慮してなされたものであり、その目的は、ビット線に対して自己整合的に形成されるコンタクトホールを有する半導体装置及びその製造方法を提供することである。

【0009】

【課題を解決するための手段】請求項1に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程とを具備している。

【0010】請求項2に係る半導体装置の製造方法は、請求項1に記載の半導体装置の製造方法において、前記第1絶縁膜に溝を形成した後この溝の側壁に第3絶縁膜からなるスペースを形成する工程をさらに具備している。

【0011】請求項3に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するコンタクトホールを形成する工程とを具備している。

【0012】請求項4に係る半導体装置の製造方法は、請求項3に記載の半導体装置の製造方法において、前記第1絶縁膜に溝を形成した後この溝の側壁に第3絶縁膜からなる第1のスペースを形成する工程をさらに具備している。

【0013】請求項5に係る半導体装置の製造方法は、請求項3に記載の半導体装置の製造方法において、前記コンタクトホールの側壁に第4絶縁膜からなる第2のスペースを形成する工程をさらに具備している。

【0014】請求項6に係る半導体装置の製造方法は、半導体基板上に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝の内壁に第1導電

膜を形成する工程と、上記溝内を第2導電膜で充填する工程と、上記第2導電膜の表面を所定の厚みだけエッチングすると同時に上記第1導電膜を上記第2導電膜のエッチング量よりも多くエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程とを具備している。

【0015】請求項7に係る半導体記憶装置の製造方法は、請求項6に記載の半導体記憶装置の製造方法において、第1絶縁膜に溝を形成した後、この溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0016】請求項8に係る半導体記憶装置の製造方法は、半導体基板に第1絶縁膜を形成する工程と、上記第1絶縁膜に溝を形成する工程と、上記溝内を導電膜で充填してビット線を形成する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記溝に隣接するストレージノードコンタクトホールを形成する工程とを具備している。

【0017】請求項9に係る半導体記憶装置の製造方法は、請求項8に記載の半導体記憶装置の製造方法において、前記第1絶縁膜に溝を形成した後この溝の側壁に第3絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0018】請求項10に係る半導体記憶装置の製造方法は、請求項8に記載の半導体記憶装置の製造方法において、前記ストレージノードコンタクトホールの側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0019】請求項11に係る半導体記憶装置の製造方法は、半導体基板に素子分離絶縁膜を形成する工程と、上記半導体基板にゲート絶縁膜を介してゲート電極を形成すると共に上記半導体基板に不純物を導入してソース、ドレイン拡散層を形成してMOSFETを形成する工程と、上記MOSFETを保護するように第1絶縁膜を形成する工程と、上記第1絶縁膜にビット線コンタクトホールを形成する工程と、上記第1絶縁膜に、後にビット線が形成される溝を形成する工程と、上記溝及びビット線コンタクトホール内を導電膜で充填し、上記MOSFETのソース、ドレイン拡散層のうち一方の拡散層と電気的に接続されたビット線を形成する工程と、上記導電膜の表面を所定の厚みだけエッチングして上記第1絶縁膜との段差を形成する工程と、上記段差部を第2絶縁膜で充填する工程と、上記第2絶縁膜をマスクとして用いた選択的エッチング法によって上記第1絶縁膜をエッチングし、上記ビット線に隣接するストレージノードコンタクトホールを形成する工程と、上記ストレージノードコンタクトホールの側壁に第3絶縁膜からなるスペー

ーサを形成する工程と、上記ストレージノードコンタクトホールを導電膜で充填する工程と、上記MOSFETのソース、ドレイン拡散層のうち他方の拡散層と電気的に接続したストレージ電極、キャパシタ絶縁膜及びプレート電極を順次形成してキャパシタを形成する工程とを具備している。

【0020】請求項12に係る半導体記憶装置の製造方法は、請求項11に記載の半導体記憶装置の製造方法において、前記第1絶縁膜に溝を形成した後この溝の側壁に第4絶縁膜からなるスペーサを形成する工程をさらに具備している。

【0021】請求項13に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に形成された溝と、上記溝の内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ上記溝を途中まで埋め込むように形成された第2導電膜と、上記第1、第2導電膜上に設けられ上記溝を完全に埋め込むように形成された第2絶縁膜とを具備している。

【0022】請求項14に係る半導体装置は、請求項13に記載の半導体装置において、前記第2導電膜が高融点金属からなる。請求項15に係る半導体装置は、請求項13に記載の半導体装置において、前記第1導電膜がバリアメタルからなる。

【0023】請求項16に係る半導体装置は、請求項13に記載の半導体装置において、前記溝の側壁には第3絶縁膜からなるスペーサが形成されている。請求項17に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に形成された溝と、上記溝の上部を除いた内周面に上記溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ、上面が上記溝の側壁上に位置する上記第1導電膜の上面よりも高くなるように形成された第2導電膜と、上記溝を完全に埋め込むように形成された第2絶縁膜とを具備している。

【0024】請求項18に係る半導体装置は、請求項17に記載の半導体装置において、前記第2導電膜が高融点金属からなる。請求項19に係る半導体装置は、請求項17に記載の半導体装置において、前記第1導電膜がバリアメタルからなる。

【0025】請求項20に係る半導体装置は、請求項17に記載の半導体装置において、前記第1絶縁膜が酸化シリコンからなりかつ前記第2絶縁膜が酸化シリコンからなる。

【0026】請求項21に係る半導体装置は、半導体基板上に形成された第1絶縁膜と、上記第1絶縁膜に互いに離間して形成された第1及び第2の溝と、上記第1絶縁膜の上記第1及び第2の溝で挟まれた領域に形成されたコンタクトホールと、上記第1及び第2の溝の側壁に形成された第2絶縁膜からなる第1のスペーサと、上記

第1及び第2の各溝の内周面にそれぞれの溝を完全に埋め込まない程度の厚みに形成された第1導電膜と、上記第1導電膜上に設けられ上記第1及び第2の溝を完全に埋め込むように形成された第2導電膜と、上記コンタクトホール8の側壁に形成された第3絶縁膜からなる第2のスペースと、上記コンタクトホール8の内周面にこのコンタクトホール8を完全に埋め込まない程度の厚みに形成された第3導電膜と、上記第3導電膜上に設けられ上記コンタクトホール8を埋め込むように形成された第4導電膜とを具備している。

【0027】請求項22に係る半導体装置は、請求項21に記載の半導体装置において、前記第1絶縁膜及び第3絶縁膜のそれぞれがバリアメタルである。請求項23に係る半導体装置は、半導体基板上に形成された多子分離絶縁膜と、上記半導体基板上にゲート絶縁膜を介して設けられたゲート電極及び上記半導体基板上に設けられたソース、ドレイン拡散層からなるMOSFETと、上記MOSFETを接合するように形成された第1絶縁膜と、上記第1絶縁膜に形成されたビット線コンタクトホール及びビット線形成用の溝と、上記溝を途中で充填するように設けられた第1導電膜からなり、上記MOSFETのソース、ドレイン拡散層のうちの一方の拡散層と電気的に接続されたビット線と、上記溝を完全に充填するように設けられた第2絶縁膜と、上記ビット線に隣接するように上記第1絶縁膜に設けられたストレージノードコンタクトホールと、上記ストレージノードコンタクトホールの側壁に設けられた第3絶縁膜からなるスペースと、上記ストレージノードコンタクトホールを充填する第2導電膜と、ストレージ電極、キャパシタ絶縁膜及びプレート電極からなり、上記MOSFETのソース、ドレイン拡散層のうちの一方の拡散層と電気的に接続されたキャパシタとを具備している。

【0028】請求項24に係る半導体装置は、配線を形成する第1導電膜と、上記配線に隣接し、上記配線の上層と下層とを接合するためのコンタクトホールと、上記コンタクトホールを充填する第2導電膜と、上記第1、第2導電膜相互間に形成され、上記第1、第2導電膜を電気的に分離するスペースとを具備し、配線下部のスペースの膜厚よりも配線上部のスペースの膜厚が厚いことを特徴としている。

【0029】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1(a)～(e)はこの発明の第1の実施の形態に係る半導体装置の製造方法を工程順に示す断面図である。

【0030】まず、半導体基板上に形成された酸化シリコン膜1に、周知のリソグラフィ法及びRIE(Reactive Ion Etching)法を用いて溝2を形成する。次に、上記溝2を完全に埋め込まない程度の厚みに、TiNまたはW/N等のバリアメタル3をスパッタリング法を用いて

全面に増殖し、続いて高熔点金属膜、例えばタングステン膜4をCVD(Chemical Vapor Deposition)法を用いて全面に増殖し、溝2を完全に充填する。そして、次にCMP法を用いて酸化シリコン膜1が露出するまでタングステン膜4及びバリアメタル3を削り、表面を平坦化すると同時にタングステン膜4からなる配線層を形成する。その後、RIE法を用いてタングステン膜4及びバリアメタル3を選択的にエッチングし、段差を形成する(図1(a))。

【0031】次に酸化シリコン膜5をCVD法を用いて全面に増殖して段差を充填した後、続いて、CMP法を用いて酸化シリコン膜5を削り、表面を平坦化する(図1(b))。

【0032】これまでの工程により、半導体基板上に形成された酸化シリコン膜1には溝2が形成され、この溝2の内周面にはこの溝2を完全に埋め込まない程度の厚みのバリアメタル3が形成され、上記バリアメタル3上には、溝2を途中で埋め込むようにタングステン膜4が形成され、さらにタングステン膜4上には溝2を完全に埋め込むような酸化シリコン膜6が形成される。

【0033】このような方法によれば、従来のDamascene技術では達成し得なかった自己整合コンタクトを形成する上で必要になる、配線層面上の絶縁膜(酸化シリコン膜6)が形成される。

【0034】次に、溝2に直交するライン/スペースパターンを用いてフォトリソグラフ7を形成し、このフォトリソグラフ7及び酸化シリコン膜6に対して選択比の高い条件を用いて酸化シリコン膜1をRIE法によりエッチングし、コンタクトホール8を自己整合的に形成する(図1(c))。

【0035】次に、フォトリソグラフ7を除去し、全面に酸化シリコン膜を増殖した後、全面をRIE法を用いてエッチバックし、コンタクトホール8の側壁に酸化シリコン膜からなるサイドウォール9を形成する(図1(d))。

【0036】次にバリアメタル10及びタングステン膜11を順次増殖し、コンタクトホール8を充填する。次に、CMP法を用いて酸化シリコン膜1及び酸化シリコン膜6が露出するまでタングステン膜11及びバリアメタル10を削り、表面を平坦化する(図1(e))。

【0037】このような方法を用いることで、Damascene配線(タングステン膜4)に対して自己整合的に、このDamascene配線に隣接するコンタクトを形成することができる。従って、Damascene配線を採用した半導体装置において、Damascene配線相互間にコンタクトを設ける場合に、コンタクトを設ける際の余分な位置合わせ余裕を取る必要がないので、Damascene配線相互の間隔を十分に小さくすることができ、集積化する際のチップサイズの縮小化を図ることができる。

【0038】なお、このようにして製造された半導体装

面において, 上記タンگステン膜 4 からなる配線層はメモリセルのビット線として使用され, このビット線に誘導して形成されたコンタクトはメモリセルのストレージノードコンタクトとして使用される.

[0039] 次にこの発明の第 2 の実施の形態に係る半導体装置の製造方法を図 2 (a) ~ (e) を用いて説明する. 上記第 1 の実施の形態に係る半導体装置の製造方法において, 酸化シリコン膜 1 をエッチングしてコンタクトホール 8 を形成する際に, 酸化シリコン膜 1 のエッチングは, 酸化シリコン膜 6 に対して選択比の高い条件を用いて行っている. しかし, このエッチング選択比は有限の値であるから, 酸化シリコン膜 6 自体も僅かにエッチングされる. このとき, エッチング条件のゆらぎ, 膜厚のゆらぎ等によって, ある程度でスペーサである酸化シリコン膜 6 がエッチングされ, 短絡が生じる場合がある. この短絡の過程を詳細に調べると, 配線層の層の部分で生じることが分かっている. そこで, この第 2 の実施の形態に係る半導体装置では, 上記配線層の層の部分で生じる短絡を防止するようにしたものである.

[0040] すなわち, 前記第 1 の実施の形態の方法と同様に, まず, 半導体基板上に形成された酸化シリコン膜 1 に, 周知のリソグラフィ法及び RIE 法を用いて溝 2 を形成し, 次に, 上記溝 2 を完全に埋め込まない程度の厚みに, バリウムタルコをスパッタリング法を用いて全面に増殖し, 続いて高融点金属膜, 例えばタンگステン膜 4 を CVD 法を用いて全面に増殖し, 溝 2 を完全に充填する.

[0041] その後, C12 系のガスを用いた RIE 法でタンگステン膜 4 及びバリウムタルコを選択的にエッチングし, 段差 5 を形成する. このとき, C12 系のガスに対して, タングステンよりもチタン化合物 (TiN) の方がエッチングレートが高いため, 配線層の上部両側にバリウムタルコの膜厚に対応した浅い溝 12 が形成される (図 2 (a)).

[0042] この後は, 前記第 1 の実施の形態の方法と同様に, 酸化シリコン膜 6 を CVD 法を用いて全面に増殖して段差 5 を充填し, 次に, CMP 法を用いて酸化シリコン膜 6 を削り, 表面を平坦化し (図 2 (b)), さらに溝 2 に直交するライン/スペースパターンを用いてフォトリソグラフを形成して酸化シリコン膜 1 を RIE 法によりエッチングし, コンタクトホール 8 を自己整合的に形成し (図 2 (c)), フォトリソグラフを除去した後, 全面に酸化シリコン膜を増殖し, 全面を RIE 法を用いてエッチバックし, コンタクトホール 8 の側壁に酸化シリコン膜からなるサイドウォール 9 を形成し (図 2 (d)), 続いてバリウムタルコ及びタンگステン膜 11 を順次増殖し, コンタクトホール 8 を充填する. そしてさらに, CMP 法を用いて酸化シリコン膜 1 及び酸化シリコン膜 6 が露出するまでタンگステン膜 11 及びバリウムタルコ 10 を削り, 表面を平坦化する (図 2 (e)).

[0043] このような方法によれば, 配線層の層の部分の酸化シリコン膜を溝 2 の側壁の部分よりも厚く形成することができるので, 前記のような短絡が生じる確率を著しく低減することができ, 高歩留まり, 高信頼性の半導体装置を製造することができる.

[0044] 図 3 (a) ~ (f) はこの発明の第 3 の実施の形態に係る半導体装置の製造方法を工程順に示す断面図である. まず, 半導体基板上に形成された酸化シリコン膜 1 に, 周知のリソグラフィ法及び RIE 法を用いて溝 2 を形成する. 次に, 上記溝 2 を完全に埋め込まない程度の厚みに, 全面に酸化シリコン膜を増殖し, 続いて全面を RIE 法を用いてエッチバックし, 溝 2 の側壁に酸化シリコン膜からなるサイドウォール 13 を形成する (図 3 (a)).

[0045] 続いて, 上記溝 2 を完全に埋め込まない程度の厚みに, TiN または WN 等のバリウムタルコをスパッタリング法を用いて全面に増殖し, 続いて高融点金属膜, 例えばタンگステン膜 4 を CVD 法を用いて全面に増殖し, 溝 2 を完全に充填する. 次に CMP 法を用いて酸化シリコン膜 1 が露出するまでタンگステン膜 4 及びバリウムタルコを削り, 表面を平坦化すると同時にタンگステン膜 4 からなる配線層を形成する. その後, RIE 法を用いてタンگステン膜 4 及びバリウムタルコを選択的にエッチングし, 段差 5 を形成する (図 3 (b)). この際, 前記第 2 の実施の形態の方法と同様に, タングステン膜 4 よりもバリウムタルコの方がエッチングレートが高くなる条件でエッチングを行い, 配線層の上部両側にバリウムタルコの膜厚に対応した浅い溝を形成するようにしてもよい.

[0046] 次に酸化シリコン膜 6 を CVD 法を用いて全面に増殖して段差 5 を充填し, 続いて, CMP 法により酸化シリコン膜 6 を削り, 表面を平坦化する (図 3 (c)).

[0047] これまでの工程により, 半導体基板上に形成された酸化シリコン膜 1 には溝 2 が形成され, この溝 2 の側壁には酸化シリコン膜からなるサイドウォール 13 が形成され, さらに溝 2 の内周面にはこの溝 2 を完全に埋め込まない程度の厚みのバリウムタルコが形成され, 上記バリウムタルコ上には, 溝 2 を途中で埋め込むようにタンگステン膜 4 が形成され, さらにタンگステン膜 4 上には溝 2 を完全に埋め込むような酸化シリコン膜 6 が形成される.

[0048] このような方法によれば, 第 1 の実施の形態の場合と同様に, 従来の Damascene 技術では達成し得なかった自己整合コンタクトを形成する上で必要になる, 配線層直上の絶縁膜 (酸化シリコン膜 6) が形成される.

[0049] 次に, 溝 2 に直交するライン/スペースパターンを用いてフォトリソグラフを形成し, このフォ

레지스트 7 及び酸化シリコン膜 8 に対して選択比の高い条件を用いて酸化シリコン膜 1 を R1E 法によりエッチングし、コンтактホール 8 を自己整合的に形成する (図 3 (d))。

【0050】次に、フォトレ지스트 7 を除去し、全面に酸化シリコン膜を増殖させた後、全面を R1E 法を用いてエッチバックし、コンтактホール 8 の側壁に酸化シリコン膜からなるサイドウォール 9 を形成する (図 3 (e))。このサイドウォール 9 を構成する酸化シリコン膜の形成に際し、第 1 の実施の形態の方法では溝の内部に形成されたバリアメタル 3 に準じて酸化シリコン膜が形成される。メタル上に堆積した酸化シリコン膜は、絶縁膜上に堆積した酸化シリコン膜より膜質が劣化することが知られている。この実施の形態では溝の側壁に予め酸化シリコン膜からなるサイドウォール 13 が形成されるために、このような劣化を引き起こすことなくサイドウォール 9 を形成することができる。もちろん、サイドウォール 13 の形成に際しても、絶縁膜 (酸化シリコン膜 1) 上への堆積であるために、劣化を引き起こすことはない。

【0051】この後はバリアメタル 10 及びタングステン膜 11 を順次堆積し、コンтактホール 8 を充填し、CMP 法を用いて酸化シリコン膜 1 及び酸化シリコン膜 6 が露出するまでタングステン膜 11 及びバリアメタル 10 を削り、表面を平坦化する (図 3 (f))。

【0052】このような方法を用いることで、Damascene 配線 (タングステン膜 4) に対して自己整合的に、この Damascene 配線に隣接するコンтактホール 8 を形成することができる。しかも、この実施の形態では、膜質の良いサイドウォール 13 を形成することができるという効果が得られる。

【0053】次にこの発明の第 4 の実施の形態を図 4 (a) ~ (d)、図 5 (a) ~ (e)、図 6 (a) ~ (d)、図 7 (a) ~ (f) 及び図 8 を用いて説明する。この第 4 の実施の形態は、この発明を STC 型 DRAM セルのビット線及びストレージノードコンтактの製造方法に適用したものであり、図 4 (a) ~ (d) 及び図 5 (a) ~ (e) は使用されるマスクパターンを、図 6 (a) ~ (d)、図 7 (a) ~ (f) 及び図 8 は工程途中の図 4 (a) ~ (d) 及び図 5 (a) ~ (e) 中の各断面をそれぞれ示している。

【0054】まず、図 4 (a) に示すアクティブ領域パターン 21 を用いて、周知の STI (Shallow Trench Isolation) 法で、P 型シリコン半導体基板 31 の表面に帯分酸化膜 32 を形成する (図 5 (a))。

【0055】次に、半導体基板 31 の表面にゲート酸化膜 33 を形成した後、ポリシリコン膜 34、タングステンシリサイド膜 35 及び酸化シリコン膜 36 を順次堆積し、図 4 (b) に示すゲート電極パターン 22 を用いてゲート電極をパターンニングする。続いて、ゲート電極を

マスクに N 型不純物をイオン注入し、ソース/ドレイン拡散層 37 を形成する (図 5 (b))。

【0056】次に、ゲート電極の側壁に酸化シリコン膜 38 を形成した後、全面に酸化シリコン膜 39 を堆積し、CMP 法を用いて酸化シリコン膜 36 が露出するまで酸化シリコン膜 39 を削り、表面を平坦化する (図 5 (c))。

【0057】次に、図 4 (c) に示すポリプラグパターン 23 を用いて、酸化シリコン膜 36、38 に対して高選択比な条件で酸化シリコン膜 39 をエッチングし、ゲート電極に自己整合的にコンтактホール 40 を形成する。次に、全面にポリシリコン膜 41 を堆積し、コンтактホール 40 を完全に埋め込み、その後、CMP 法で酸化シリコン膜 36 及び酸化シリコン膜 39 が露出するまでポリシリコン膜 41 を削り、表面を平坦化する (図 5 (d))。

【0058】次に、全面に酸化シリコン膜 42 を形成し、図 4 (d) に示すビット線コンтактパターン 24 を用いて、コンтактホール 43 を形成する (図 7 (a)、(b))。

【0059】次に、図 5 (e) に示すビット線パターン 25 を用いて、周知の Damascene 法で上記酸化シリコン膜 42 に溝を形成し、その後、酸化シリコン膜 44 をその溝が埋まらない程度の膜厚で堆積し、続いて全面を R1E 法を用いてエッチバックし、溝の側壁に酸化シリコン膜 44 からなるサイドウォールを形成する。次に、バリアメタル 45 及びタングステン膜 46 を堆積して溝を充填する。次に、CMP 法を用いて酸化シリコン膜 42 が露出するまでタングステン膜 46 及びバリアメタル 45 を削り、表面を平坦化すると同時にタングステン膜 46 からなるビット線を形成する。その後、R1E 法を用いてタングステン膜 46 及びバリアメタル 45 を選択的にエッチングして封記第 1 ~ 第 3 の実施の形態と同様の配線を形成する。次に、酸化シリコン膜 47 を堆積してこの段差を充填し、その後、CMP 法を用いて、酸化シリコン膜 42 が露出するまで酸化シリコン膜 47 を削り、表面を平坦化する (図 7 (c)、(d))。

【0060】次に、図 5 (b) に示すストレージノードコンтактパターン 26 を用いて、酸化シリコン膜 47 に対して選択比の高い条件を用いて酸化シリコン膜 42 を R1E 法によりエッチングし、コンтактホール 48 を形成する。次に、酸化シリコン膜 49 を堆積し、全面を同様の R1E 法を用いてエッチバックし、コンтактホール 48 の側壁に酸化シリコン膜 49 からなるサイドウォールを形成する。次に、バリアメタル 50 及びタングステン膜 51 を順次堆積し、コンтактホール 48 を充填する。次に、CMP 法を用いて酸化シリコン膜 42 及び酸化シリコン膜 47 が露出するまでタングステン膜 51 及びバリアメタル 50 を削り、表面を平坦化する (図 7 (e)、(f))。

【0051】次に、キャパシタの下部電極となるルテニウム膜52をスパッタリング法で堆積し、図5(c)に示すストレージノードパターン27を用いて、ルテニウム膜52からなるストレージノード電極を形成する。続いて、キャパシタ絶縁膜であるBSTO（バリウム・ストロンチウム・チタンオキサイド）膜53及び上部電極となるルテニウム膜54を堆積し、メモリキャパシタが形成される(図8)。これ以降は、周知の方法で配線層を形成し、DRAMが完成する。

【0052】このような方法によって製造されたDRAMは、ビット線コンタクトとビット線のボーターレス化を実現できると共に、ストレージノードコンタクトとビット線の自己整合も可能となり、微細化が図れ、メモリのビット単価を大幅に低減することができる。

【0053】なお、この実施の形態において、キャパシタの下部電極及び上部電極をルテニウム膜を用いて形成する場合について説明したが、ルテニウム膜の他に例えば白金膜等が使用できる。

【0054】

【発明の効果】以上説明したように、この発明によれば、ビット線に対して自己整合的に形成されるコンタクトホールを有する半導体装置及びその製造方法を提供することができる。

【図1】この発明の第1の実施の形態に係る半導体装置の製造方法を示す断面図。

【図2】この発明の第2の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図3】この発明の第3の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図4】この発明の第4の実施の形態に係る半導体装置の製造方法で用いられるマスクを示す図。

【図5】この発明の第4の実施の形態に係る半導体装置の製造方法で用いられるマスクを示す図。

【図6】上記第4の実施の形態に係る半導体装置の製造方法を工程順に示す断面図。

【図7】図6に続く製造工程を示す断面図。

【図8】図7に続く製造工程を示す断面図。

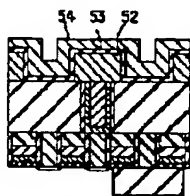
【図9】従来の半導体装置の製造方法を工程順に示す断面図。

【図10】図9に続く断面図。

【符号の説明】

1…酸化シリコン膜、2…溝、3…バリアメタル、4…タンガステン膜、5…段差、6…窒化シリコン膜、7…フォトレジスト、8…コンタクトホール、9…サイドウォール、10…バリアメタル、11…タンガステン膜、12…溝、13…サイドウォール、21…アクティブ領域パターン、22…ゲート電極パターン、23…ポリプラグパターン、24…ビット線コンタクトパターン、25…ビット線パターン、26…ストレージノードコンタクトパターン、27…ストレージノードパターン、31…P型シリコン半導体基板、32…素子分離酸化膜、33…ゲート酸化膜、34…ポリシリコン膜、35…タンガステンシリサイド膜、36…窒化シリコン膜、37…ソース/ドレイン拡散層、38…窒化シリコン膜、39…酸化シリコン膜、40…コンタクトホール、41…ポリシリコン膜、42…酸化シリコン膜、43…コンタクトホール、44…窒化シリコン膜、45…バリアメタル、46…タンガステン膜、47…窒化シリコン膜、48…コンタクトホール、49…窒化シリコン膜、50…バリアメタル、51…タンガステン膜、52…ルテニウム膜、53…BSTO膜、54…ルテニウム膜。

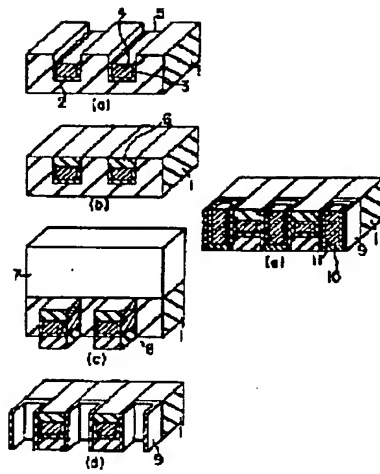
【図8】



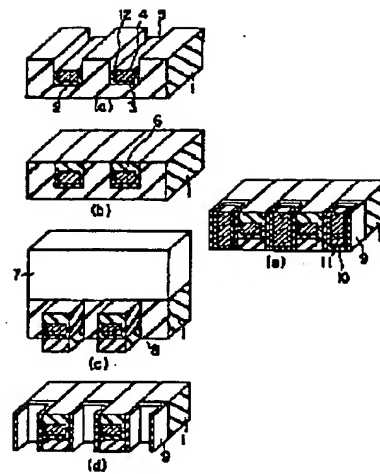
【図10】



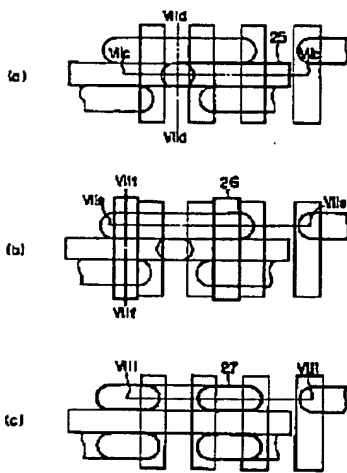
[圖 1]



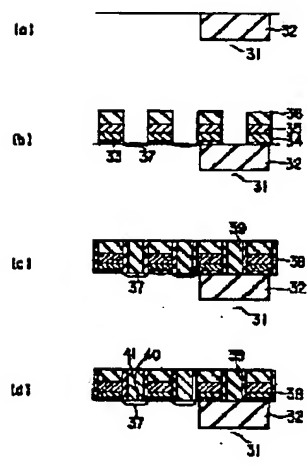
[圖 2]



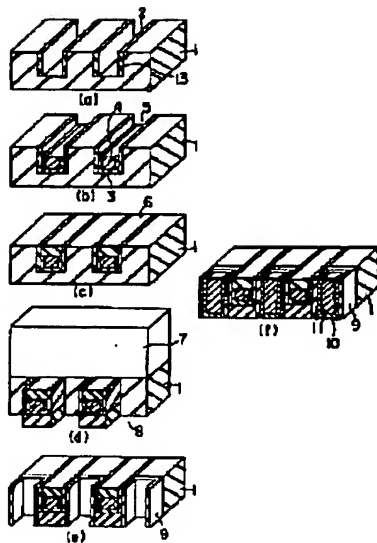
[圖 3]



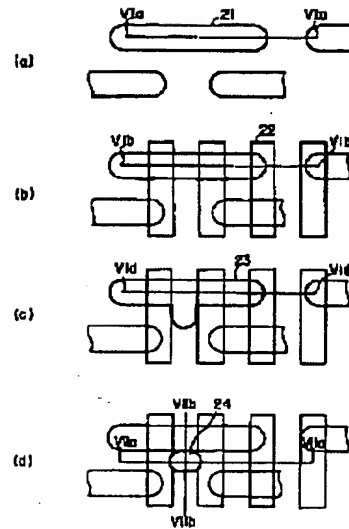
[圖 4]



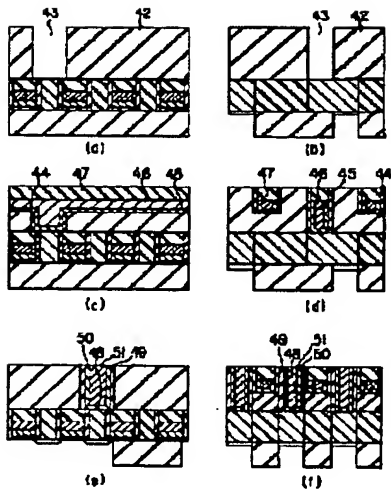
[그림 3]



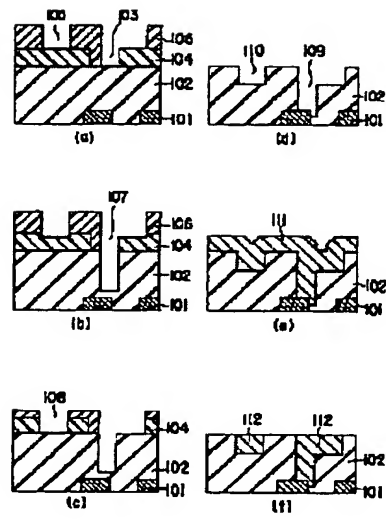
[그림 4]



[圖 7]



[圖 9]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.